**实验7报告1**

第32小组

袁峥

一、实验任务（10%）

1. 补充完 PMON 源代码中被删除的 Cache 初始化、 TLB 初始化、串口初始化部分，编译后在一个已完成的 SoC。设计上正常启动并成功装载和启动 Linux 内核。
2. 要求刚下载完 bit 文件后， PMON 运行时打印的信息无“TLB init Error!!! ”和“cache init Error!!! ”。 且能正确装载并启动 Linux 内核。

二、实验设计（30%）

本次实验主要有三个小任务，分别是设置波特率、CACHE初始化和TLB初始化。

（一）波特率的设置

波特率的设置中，主要用到了串口控制器中的UART\_TLL、UART\_TLH和UART\_LCR三个寄存器。其中只有当 UART\_LCR[7]为 1 时，UART\_TLL、UART\_TLH才能组合为分频锁存器。因此需要将UART\_LCR[7]置一。所谓分频锁存器即为时钟分频数的存放寄存器， 显然 16bit 数{UART\_TLH, UART\_TLL}即为串口控制器对CPU 时钟的分频。 由公式UART\_CLK=CPU\_CLK÷{UART\_TLH, UART\_TLL }及波特率= UART\_CLK÷16可以计算出UART\_TLL、UART\_TLH两个寄存器对应的值。由CPU\_CLK=33MHz，同时将波特率设为115200，由上述公式可以计算得到UART\_TLH=0，UART\_TLL=18。

（二）CACHE初始化

CACHE初始化分为指令CACHE初始化和数据CACHE初始化，两者流程完全一致。下面详细介绍指令CACHE的初始化方法。

首先从CP0\_CONFIG1中读出指令CACHE每路CACHE行的数目IS，指令CACHE的CACHE行大小IL，指令CACHE的相连路数IA。（寄存器中读出的值并非直接对应，需要通过公式进行转换，在此则直接用对应名称表示计算后的值）

在指令CACHE初始化时，通过cache指令将TagLo和TagHi寄存器中的值写入对应CACHE行的Tag域，在此实验中，此实验中每个CACHE行的Tag域只需用TagLo寄存器即可。

初始化CACHE时一共需要处理IS\*IA个CACHE行，每个CACHE行大小为IL。初始化指令CACHE的cache指令对应op域为0x08。由于通过offset(base)地址的[11:5]索引index，通过[12:12]索引路号。因此初始化是首相将a0寄存器设为0x0，然后每次将a0加IL，累加IS\*IA次，同时每次通过cache指令将置为0的TagLo将对应CACHE行的TAG域置零，从而完成指令CACHE初始化。

数据CACHE初始化流程完全一致，唯一不同是cache指令的op为0x09。

（三）TLB初始化

首先从CP0\_CONFIG1[30:25]中可以读出CPU中的TLB大小MMU SIZE，然后用tlbwi指令从0到MMU SIZE-1初始化每一个TLB表项，每个表项中有EntryHi、PageMask、EntryLo0和EntryLo1这四个寄存器分别对应的域，通过tlbwi将四个寄存器的值写到各个表项中。EntryHi中，VPN2域置为0x40000，这应VPN对应为0x80000，因为这个虚页号对应的虚地址为0x80000000，这个地址不在用户空间地址范围内，也不会通过直接映射访问到，因此是无意义的，可以起到初始化的作用，ASID域可以放置任何置，在这里将其置0。PageMask表示每一个物理页的大小，由于此实验中每个物理页为4K，对应将PageMask置为0。初始化时EntryLo1和EntryLo1中的物理页框号没有意义，只需将标志位全部置0，因此在此将以上两个寄存器全部置0。

三、实验过程（60%）

（一）实验流水账

12月7日晚上9点至11点，阅读文档Lab07-1\_CPU初始化程序完善，并编写代码。

12月8日下午6点至10点，配置环境并完成上板测试。

12月11日晚上9点至11点，完成实验报告。

（二）错误记录

1、错误1

（1）错误现象

串口软件在设置完端口和波特率后不显示任何内容。

（2）分析定位过程

一开始不知道错误原因，在询问老师后才了解了错误原因。

（3）错误原因

在实验流程上出现了错误，应该先打开串口软件，然后再将archlab\_lab7.bit下载到FPGA板上，这样在串口软件上可以看到结果。而之前我是先下载了archlab\_lab7.bit，然后再设置的串口软件，这时在串口软件上没有任何显示，如果此时在FPGA板上按RESET键则可以在串口软件上出现结果，但不符合下载文件后第一遍输出的要求。

（4）修正效果

在调整实验步骤后，在串口软件上出现了正确的结果。

（5）归纳总结

这个错误主要是由于对实验的整个流程不太了解。由于涉及到许多软件和许多文件，由于以前基本没有接触过，因此对他们之间的相互关系不太清楚，以后在完成配置较多的实验时应该先研究清楚整个实验的流程。

2、错误2

（1）错误现象

在PMON中向电脑ping时失败。

（2）分析定位过程

这设计到网络相关的知识，由于缺乏了解因此向老师询问。

（3）错误原因

由于电脑和FPGA板的IP不在同一个网段，因此无法通过ping发送数据。应该先修改自己电脑的IP，然后将FPGA板的IP与其设置在同一个号段，这样便可以通过ping从电脑向FPGA传输。

（4）修正效果

修改电脑和FPGA的IP后，重新按流程操作，完成了ping的传输。

（5）归纳总结

这个错误主要是对网络方面的知识不太了解，这也说明作为计算机系的学生，在计算机上的各方面知识都应该去了解，而不能只会写代码。

四、实验总结

（一）组员：袁峥

这次实验在代码方面很简单，由于之前在操作系统和体系结构的课上对CACHE和TLB有了了解，因此代码完成起来比较容易。这次实验主要浪费的时间是在配置环境上板的过程中。一开始是由于操作流程反了，先下载了bit文件后打开的串口软件，因此在串口软件上什么都没有看到。后来重新读了任务书和piazza上的信息才知道了错误。后来又在电脑和FPGA板之间的传输上出了问题，由于IP设置上的一些问题，导致无法传输文件，后来折腾了好久才解决了这个问题。

其实每次不管什么实验，在配置环境的问题上都挺头疼的，以后还是要加强这方面的能力。